

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-247078
 (43)Date of publication of application : 30.08.2002

(51)Int.Cl.

H04L 12/56
 H04J 3/00
 H04L 12/44
 // H04L 7/00

(21)Application number : 2001-043511

(71)Applicant : MATSUSHITA COMMUN IND CO LTD
 NIPPON TELEGR & TELEPH CORP
 <NTT>

(22)Date of filing : 20.02.2001

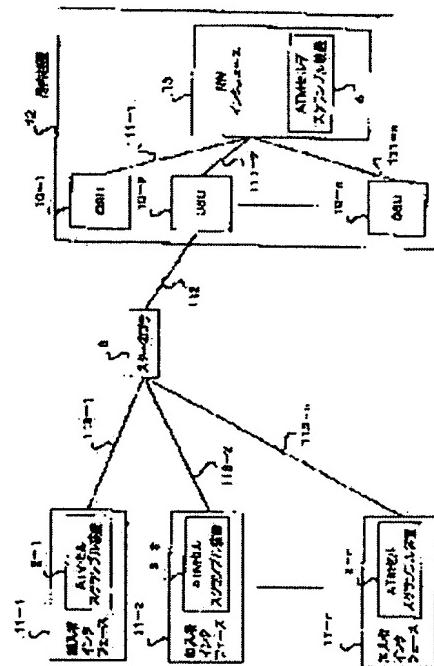
(72)Inventor : KANAZAWA TAKESHI
 MIKI NORIMOTO

(54) SCRAMBLE CIRCUIT, ATM CELL TRANSMITTER, DESCRAMBLE CIRCUIT, ATM CELL RECEIVER AND ATM CELL TRANSMISSION/ RECEPTION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To exactly perform scramble and descramble on the transmitting side and the receiving side without increasing a mounting load of a transmission line multiplexing device in a one-to-many connection ATM communication system to time-division multiplex, for example, pieces of data from a plurality of transmitting origins on one transmission line by using a passive element.

SOLUTION: Timing to start transmission of a preset ATM cell flows are monitored, a shift register 1-1 to hold payload data of the ATM cell flows after the scramble is reset to the same value as an default value to be set in a shift register 1-2 on the side of an ATM cell descrambling device 6 by every transmission start timing of the ATM cell flows in an ATM cell scrambling device 2 and the respective transmitting origins of the received ATM cell flows are discriminated and the shift register P2 is reset to the same value as an default value to be set in the shift register 1-1 on the side of the ATM cell scrambling device whenever transmission is exchanged in the ATM cell descrambling device.



LEGAL STATUS

[Date of request for examination] 18.09.2001

[Date of sending the examiner's decision of rejection] 12.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 04 L 12/56		H 04 L 12/56	D 5 K 0 2 8
H 04 J 3/00		H 04 J 3/00	A 5 K 0 3 0
H 04 L 12/44		H 04 L 12/44	Z 5 K 0 3 3
	2 0 0		2 0 0 5 K 0 4 7
// H 04 L 7/00		7/00	C

審査請求 有 請求項の数 7 O L (全 9 頁)

(21)出願番号 特願2001-43511(P2001-43511)

(71)出願人 000187725

松下通信工業株式会社

(22)出願日 平成13年2月20日(2001.2.20)

神奈川県横浜市港北区綱島東4丁目3番1号

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72)発明者 金澤 岳史

神奈川県横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

(74)代理人 100093067

弁理士 二瓶 正敬

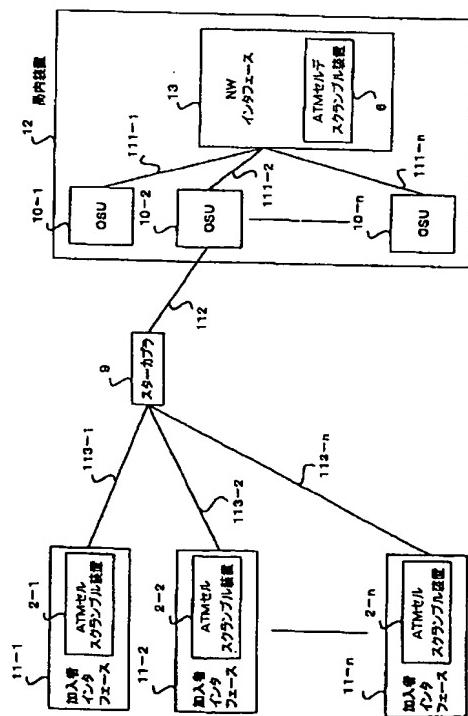
最終頁に続く

(54)【発明の名称】 スクランブル回路、ATMセル送信装置、デスクランブル回路及びATMセル受信装置並びにATMセル送受信システム

(57)【要約】

【課題】 例えは複数の送信元からのデータを1つの伝送路上に受動素子を用いて時分割多重する1対多接続型ATM通信システムにおいて、伝送路多重化装置の実装負荷を大きくすることなく、送信側と受信側において正しくスクランブル及びデスクランブルする。

【解決手段】 ATMセルスクランブル装置2では、あらかじめ設定されたATMセル流の送信を開始するタイミングを監視し、ATMセル流送信開始タイミング毎に、スクランブル後のATMセル流のペイロードデータを保持するシフトレジスタ1-1をATMセルデスクランブル装置6側のシフトレジスタ1-2に設定される初期値と同じ値にリセットし、また、ATMセルデスクランブル装置では、受信したATMセル流の各送信元を識別し、送信元が入れ替わる毎にシフトレジスタ1-2をATMセルスクランブル装置側のシフトレジスタ1-1に設定する初期値と同じ値にリセットする。



【特許請求の範囲】

【請求項1】 スクランブル後のデータを保持するレジスタと、
スクランブル前のデータを前記レジスタにより保持されたスクランブル後のデータと排他的論理和演算することによりスクランブルする演算手段と、
前記レジスタをデスクランブル回路側のレジスタに設定される初期値と同じ値にリセットする手段とを、
有するスクランブル回路。

【請求項2】 送出するATMセル流のセルヘッダ区間を検出することによりATMセル流のペイロード区間を検出する手段と、

スクランブル後のATMセル流のペイロードデータを保持するレジスタと、
前記検出されたペイロード区間で、スクランブル前のATMセル流のペイロードデータを前記レジスタにより保持されたスクランブル後のATMセル流のペイロードデータと排他的論理和演算することによりスクランブルする演算手段と、

あらかじめ設定されたATMセル流の送信を開始するタイミングを監視し、ATMセル流送信開始タイミング毎に前記レジスタをデスクランブル回路側のレジスタに設定される初期値と同じ値にリセットする手段とを、
有するスクランブル回路。

【請求項3】 請求項2記載のスクランブル回路を用いてATMセルのペイロードデータにスクランブルを行い、スクランブルされたATMセルを送信するATMセル送信装置。

【請求項4】 デスクランブル後のデータを保持するレジスタと、
デスクランブル前のデータを前記レジスタにより保持されたデスクランブル後のデータと排他的論理和演算することによりデスクランブルする演算手段と、
前記レジスタをスクランブル回路側のレジスタに設定する初期値と同じ値にリセットする手段とを、
有するデスクランブル回路。

【請求項5】 受信したATMセル流のセルヘッダ区間を検出することによりATMセル流のペイロード区間を検出する手段と、

デスクランブル後のATMセル流のペイロードデータを保持するレジスタと、
デスクランブル前のATMセル流のペイロードデータを前記レジスタにより保持されたデスクランブル後のATMセル流のペイロードデータと排他的論理和演算することによりデスクランブルする演算手段と、
受信したATMセル流の各送信元を識別し、送信元が入れ替わる毎に前記レジスタをスクランブル回路側のレジスタに設定する初期値と同じ値にリセットする手段とを、
有するデスクランブル回路。

【請求項6】 ATMセルを受信し、受信したATMセルのペイロードデータを請求項5記載のデスクランブル回路を用いてデスクランブルするATMセル受信装置。

【請求項7】 1つの伝送路を複数の端末で共用するマルチアクセス方式で1つの受信機が複数の送信機と接続されるATMセル送受信システムにおいて、
前記複数の送信機の各々が請求項3記載のATMセル送信装置を用いてATMセルをスクランブルして前記受信機に送信し、前記受信機が請求項6記載のATMセル受信装置を用いて前記ATMセルを受信してデスクランブルすることを特徴とするATMセル送受信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スクランブル回路、ATM(非同期転送モード)セル送信装置、デスクランブル回路及びATMセル受信装置並びにATMセル送受信システムに関し、特に1つの伝送路を複数の端末で共用するマルチアクセス方式で1つの受信機が複数の送信機と接続される1対多接続型ATM通信システムに好適なスクランブル回路、ATMセル送信装置、デスクランブル回路及びATMセル受信装置並びにATMセル送受信システムに関する。

【0002】

【従来の技術】1対多接続型ATM通信システムの一例として、STM-PDS(Synchronous Transfer Mode-Passive Double Star)システムが知られている。一般に、STM-PDSシステムでは、局側装置の加入者側に対する端局装置である加入者線端局装置(OSU:Optical Subscriber Unit)と、加入者側の複数の網終端装置(ONU:Optical Network Unit)の間に光カプラを配置し、加入者線端局装置と光カプラの間には1本の光ファイバを配置するとともに、光カプラと複数のONUの間には個々に光ファイバを配置し、光カプラにより加入者線端局装置-ONU間の光信号を多重化、分離する。加入者側の各ONUにはパーソナルコンピュータなどの端末が接続される。

【0003】STM-PDSシステムの伝送方式としては、局側から加入者側への方向(以下、下り方向と呼ぶ)はTDM(Time Division Multiplexing)方式、加入者側から局側への方向(以下、上り方向と呼ぶ)はTDMA(Time Division Multiplexing Access)方式を用いている。下り方向については、放送形式で同じ信号が各ONUに到達するため、各ONUで自分宛のデータのみ端末側に転送する。一方、上り方向は、1つのバスを複数のフレームで分割し、各々のフレームの送信権は別々のONUに割り当てることが可能である。端末からONUに送られたパケットは、ONUでいったん蓄積され、OSUからフレームの送信権を得た後、フレームにパケットを載せて送信される。このように各OSUが上り信号を送信する場合には、各々互いに衝突しないよう

に送信開始時間と送信データ量が各OSUにより制御される。

【0004】また、ATMシステムの伝送路上を流れるセル流は、53バイトのセル境界を保ちながら連続したものとなっている。すなわち、送信側に送るべきデータが存在する場合にはそのデータを48バイトのペイロード（ユーザ情報）に分割し、5バイトの宛先などを示すヘッダを付与して送信する。このため、受信側には53バイト周期にセルヘッダが到着することになるので、受信側では一度セルヘッダを検出したら、その後は53バイト周期にヘッダ照合を行い、定められた回数だけ連続してヘッダ照合に成功した場合にセル同期を確立することができる。

【0005】ITU-T勧告によれば、セル同期は、受信側のHEC（ヘッダ誤り制御）同期回路において、ATMセルのヘッダの第5バイト目に付与されているヘッダ誤り制御符号（HEC符号）を使って確立されるが、故意あるいは偶然にペイロード部分に0または1が連続していたとすると、HEC符号を用いてセル同期をとるのが非常に困難となることが知られている。ATMシステムの送信回路系においては、一般には48バイトのペイロード部分のみに対してスクランブルを行い、受信回路系においてはセル同期を確立した後にペイロード部分に対してデスクランブルを行うことでペイロード部分に0または1が連続する確率を低減させている。

【0006】セルのスクランブル及びデスクランブル方法はITU-T勧告に記載されており、図示すると図6及び図7のようになる。以下に、図6及び図7を参考してATMセルのスクランブル及びデスクランブル回路の動作を説明する。図6において、生成多項式「 $X^{13} + 1$ 」で示される自己同期型のスクランブル回路を43段（図示#1～#43）のシフトレジスタ1-1で構成し、スクランブル前データ101を受信すると、自らが43ビット前に出力したビットと今回出力しようとするビットとの排他的論理和（図示21-1）をとることにより受信ビットのスクランブルを行い、スクランブル後データ102として出力するとともに、シフトレジスタ1-1の最終段（#43）に入力する。以降、上記の動作をビット毎に繰り返し行うことによって、ATMセルのペイロード部分をスクランブルする。

【0007】図7において、同じく生成多項式「 $X^{13} + 1$ 」で示される自己同期型のデスクランブル回路を43段（#43～#1）のシフトレジスタ1-2で構成し、スクランブル後データ102を受信すると、シフトレジスタ1-2の最終段（#43）に受信ビットを入力するとともに、自らが43ビット前に受信したビットと排他的論理和（図示21-2）をとることでデスクランブルを行い、デスクランブル後データ103として出力する。以降、上記の動作をビット毎に繰り返し行うことによって、ATMセルのペイロード部分をデスクランブル。

10

20

30

40

する。

【0008】ITU-T勧告I.432.2のATMのセル同期は7段の同期保護として、セルの誤同期を防止している。同期保護中は送受信するセル流がスクランブル及びデスクランブルを通過するため、セル同期が確立するまでにはスクランブル及びデスクランブル回路の値が等しくなっており、同期確立後に送受信するセル流に対しては、正しくスクランブル及びデスクランブルを行うことができる。また、送信側と受信側が1対1で接続されるようなATM通信システムにおいては、受信側に到着するATMセル流は単一送信元からのものになるので、前述した通り、送信側のスクランブルと受信側のデスクランブル回路の値が等しくなっているので、容易にスクランブル及びデスクランブルを行うことができる。

【0009】一方、1つの伝送路を複数の端末で共用するマルチアクセス方式を利用し、1つの受信機が複数の送信機と接続されるATM通信システムにおいては、受信側に到着するATMセル流は、複数の送信元がそれぞれスクランブルしたデータの時分割多重されたものとなる。このようなシステムでは、各送信元は他の送信機が送信しているデータの内容とは関係なく、それぞれ自らが43ビット前に出力したビットと今回出力しようとするビットとの排他的論理和をとることによりスクランブルを行う。このようなスクランブルデータが不連続なものとして入力される場合には、多重化データを分離する装置において、多重数だけデスクランブルを実装すれば、それぞれのデスクランブルへ到着するATMセル流は単一送信元からのものになるので、デスクランブルを行うことができる。

【0010】また、特開平8-23333号公報（以下、先行技術と呼ぶ）には、伝送路多重化装置におけるATMセルデスクランブル回路のハードウェア規模を削減するデスクランブル回路が開示されている。この先行技術では、各送信元からのデータをメモリに記憶し、送信元を識別する手段により、受信データを読み出し周期分だけメモリから読み出し、このときの読み出しアドレスを先頭として、到着順にデータを読み出すことにより、時分割にデスクランブルが行われる。

【0011】

【発明が解決しようとする課題】しかしながら、上述したような、複数の送信元からのデータを1つの伝送路上に受動素子を用いて多重するような1対多接続型ATM通信システムにおいては、単に受信側において、自らが43ビット前に受信したビットと今回受信しようとするビットとの排他的論理和をとることでデスクランブルを行おうとすると、スクランブルとデスクランブルの値が不一致となり、正しくスクランブル及びデスクランブルを行うことができない。

【0012】また、複数の伝送路を1つの伝送路に多重する伝送路多重化装置において、セル同期確立回路や多

50

重数だけのデスクランブル、または各送信元からの受信データを格納するメモリ手段を実装することは回路規模及びコストの面で問題がある。さらに、今後は多重する伝送路数も増加することが予想され、システムに拡張性を持たせるためには、多重化装置はできれば、単純に伝送路を受動的に多重するだけの構成が望ましい。

【0013】本発明はこのような従来の問題を解決するためになされたものであり、その目的は、例えば複数の送信元からのデータを1つの伝送路上に受動素子を用いて時分割多重するような1対多接続型ATM通信システムにおいて、伝送路多重化装置の実装負荷を大きくすることなく、送信側と受信側において正しくスクランブル及びデスクランブルすることが可能なスクランブル回路、ATMセル送信装置、デスクランブル回路及びATMセル受信装置並びにATMセル送受信システムを提供することにある。

【0014】

【課題を解決するための手段】本発明のスクランブル回路は上記目的を達成するために、スクランブル前のデータを前記レジスタにより保持されたスクランブル後のデータと排他的論理和演算することによりスクランブルする演算手段と、前記レジスタをデスクランブル回路側のレジスタに設定される初期値と同じ値にリセットする手段とを、有する構成とした。上記構成により、スクランブル前のデータと排他的論理和演算するスクランブル後のデータを保持するレジスタを、デスクランブル回路側のレジスタに設定される初期値と同じ値にリセットするので、デスクランブル回路側で正しくデスクランブルすることができる。

【0015】本発明のスクランブル回路は、送出するATMセル流のセルヘッダ区間を検出することによりATMセル流のペイロード区間を検出する手段と、スクランブル後のATMセル流のペイロードデータを保持するレジスタと、前記検出されたペイロード区間で、スクランブル前のATMセル流のペイロードデータを前記レジスタにより保持されたスクランブル後のATMセル流のペイロードデータと排他的論理和演算することによりスクランブルする演算手段と、あらかじめ設定されたATMセル流の送信を開始するタイミングを監視し、ATMセル流送信開始タイミング毎に前記レジスタをデスクランブル回路側のレジスタに設定される初期値と同じ値にリセットする手段とを、有する構成とした。上記構成により、スクランブル前のデータと排他的論理和演算するスクランブル後のデータを保持するレジスタを、デスクランブル回路側のレジスタに設定される初期値と同じ値にリセットするので、デスクランブル回路側で正しくデスクランブルすることができる。

【0016】本発明のATMセル送信装置は、請求項2記載のスクランブル回路を用いてATMセルのペイロードデータにスクランブルを行い、スクランブルされたA

TMセルを送信する構成とした。上記構成により、スクランブル前のデータと排他的論理和演算するスクランブル後のデータを保持するレジスタを、デスクランブル回路側のレジスタに設定される初期値と同じ値にリセットするので、ATMセル受信装置のデスクランブル回路側で正しくデスクランブルすることができる。

【0017】本発明のデスクランブル回路は、デスクランブル後のデータを保持するレジスタと、デスクランブル前のデータを前記レジスタにより保持されたデスクランブル後のデータと排他的論理和演算することによりデスクランブルする演算手段と、前記レジスタをスクランブル回路側のレジスタに設定する初期値と同じ値にリセットする手段とを、有する構成とした。上記構成により、デスクランブル前のデータと排他的論理和演算するデスクランブル後のデータを保持するレジスタを、スクランブル回路側のレジスタに設定される初期値と同じ値にリセットするので、正しくデスクランブルすることができる。

【0018】本発明のデスクランブル回路は、受信したATMセル流のセルヘッダ区間を検出することによりATMセル流のペイロード区間を検出する手段と、デスクランブル後のATMセル流のペイロードデータを保持するレジスタと、デスクランブル前のATMセル流のペイロードデータを前記レジスタにより保持されたデスクランブル後のATMセル流のペイロードデータと排他的論理和演算することによりデスクランブルする演算手段と、受信したATMセル流の各送信元を識別し、送信元が入れ替わる毎に前記レジスタをスクランブル回路側のレジスタに設定する初期値と同じ値にリセットする手段とを、有する構成とした。上記構成により、デスクランブル前のデータと排他的論理和演算するデスクランブル後のデータを保持するレジスタを、スクランブル回路側のレジスタに設定される初期値と同じ値にリセットするので、正しくデスクランブルすることができる。

【0019】本発明のATMセル受信装置は、ATMセルを受信し、受信したATMセルのペイロードデータを請求項5記載のデスクランブル回路を用いてデスクランブルする構成とした。上記構成により、デスクランブル前のデータと排他的論理和演算するデスクランブル後のデータを保持するレジスタを、スクランブル回路側のレジスタに設定される初期値と同じ値にリセットするので、正しくデスクランブルすることができる。

【0020】本発明は、1つの伝送路を複数の端末で共用するマルチアクセス方式で1つの受信機が複数の送信機と接続されるATMセル送受信システムにおいて、前記複数の送信機の各々が請求項3記載のATMセル送信装置を用いてATMセルをスクランブルして前記受信機に送信し、前記受信機が請求項6記載のATMセル受信装置を用いて前記ATMセルを受信してデスクランブルする構成とした。上記構成により、送信側と受信側の各

レジスタと同じ値にリセットするので、正しくスクランブル、デスクランブルすることができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。図1は本発明の実施の形態の自己同期型スクランブル回路を示し、この自己同期型スクランブル回路は、43段(図示#1～#43)のシフトレジスタ1-1と排他的論理和演算器(以下単に演算器ともいう)21-1から構成されている。そして、シフトレジスタ1-1は後述するデスクランブル回路側のレジスタに設定される初期値と同じ値として、43ビットがオール1の初期値が設定可能である。

【0022】以上のように構成された自己同期型スクランブル回路について、図1を用いてその動作を説明する。まず、スクランブルを構成するシフトレジスタ1-1に上記のあらかじめ定められた初期値をセットしておく。スクランブル前データ101を受信すると、シフトレジスタ1の先頭(#1)に保持されていたビットと今回受信したビットとを演算器21-1により排他的論理和をとり、スクランブル後データ102として出力するとともに、シフトレジスタ1-1の最後段(#43)に保持する。以降、上記動作をビット毎に繰り返すことにより送信データのスクランブルを行う。

【0023】送信すべきデータが無くなったところで、再びシフトレジスタ1-1に上記のあらかじめ定められた初期値をセットしておく。このように、スクランブル前データ101をスクランブルして送信する場合に、送信データの先頭のビットでシフトレジスタ1-1を、受信機側のデスクランブルを構成するシフトレジスタを初期化する値と同一の値でリセットしておくことで、1つの伝送路を複数の端末が共用するマルチアクセス方式を利用して1つの受信機が複数の送信機と接続された1対多接続型通信システムにおいて、複数の送信機がそれぞれスクランブルした各データが時分割多重されて伝送されるデータを、1つの受信機が正しくデスクランブルすることができる。

【0024】図2は、本発明の実施の形態のATMセルスクランブル装置2を示し、このATMセルスクランブル装置2は、送信するATMセル流のセルヘッダ区間を検出することによりペイロード区間を検出するセルヘッダ検出回路3-1と、各送信機に対し設定されたATMセル流の送信を開始するタイミングを監視するセル送信タイミング監視回路4と、送信するATMセル流のペイロード部分をスクランブルするセルスクランブル回路5から構成される。セルスクランブル回路5は図1に示すシフトレジスタ1-1と排他的論理和演算器21-1から構成される。

【0025】以上のように構成されたATMセルスクランブル装置について、図2を用いてその動作を説明する。まず、セルヘッダ検出回路3-1は、送信するAT

Mセル流のセルヘッダ区間を検出し、セルペイロード(=48バイト)が認識できるペイロード信号106をセルスクランブル回路5に出力する。また、複数の送信元からのデータを1つの伝送路上に受動素子を用いて時分割多重するような1対多接続型ATM通信システムにおいては、各送信元にはあらかじめ決められたセル送出開始タイミングが設定されており、セル送信タイミング監視回路4はそのセル送出開始タイミングが訪れると、スクランブルリセット信号107をアクティブにしてセルスクランブル回路5へ出力する。

【0026】セルスクランブル回路5はスクランブルリセット信号107がアクティブとなると、シフトレジスタ1-1の値を、後述するデスクランブルを構成するレジスタの値をリセットする値と同一のあらかじめ決められた値にリセットする。そして、セルスクランブル回路5はペイロード信号106がアクティブになると、今回送信しようとするビットを、リセットしたシフトレジスタ1-1の値との排他的論理和をとることによりスクランブルをかけ、スクランブルされたATMセル流105を出力する。

【0027】このように、各送信元においてATMセル流の送信開始タイミングにてシフトレジスタ1-1の値をリセットするとともに、受信側において受信するATMセル流の送信元が入れ替わる度にデスクランブルを構成するレジスタの値をそれぞれ同一の値でリセットすれば、各送信元におけるスクランブルを構成するシフトレジスタ1-1と受信側におけるデスクランブルを構成するレジスタの値が一致するので、1つの伝送路を複数の端末で共用するマルチアクセス方式を利用して1つの受信機が複数の送信機と接続された1対多接続型ATM通信システムにおいて、複数の送信機がそれぞれスクランブルした各データが時分割多重されて伝送されるATMセル流のペイロード部分を、1つの受信機が正しくデスクランブルすることができる。

【0028】図3は本発明の実施の形態の自己同期型デスクランブル回路を示し、この自己同期型デスクランブル回路は同じく、43段(図示#1～#43)のシフトレジスタ1-2と排他的論理和演算器2-2から構成されている。そして、シフトレジスタ1-2は図1、図2に示したスクランブル回路側のシフトレジスタ1-1に設定される初期値と同じ値として、43ビットがオール1の初期値が設定可能である。

【0029】以上のように構成された自己同期型デスクランブル回路について、図3を用いてその動作を説明する。まず、デスクランブルを構成するシフトレジスタ1-2にあらかじめ定められた初期値をセットしておく。スクランブル後データ102を受信すると、シフトレジスタ1の先頭(#1)に保持されていたビットと今回受信したビットとを演算器21-2により排他的論理和をとり、デスクランブル後データ103として出力すると

ともに、今回受信したビットをシフトレジスタ1-2の最後段（#43）に保持する。以降、上記動作をビット毎に繰り返すことにより受信データ102のデスクランブルを行う。

【0030】受信データが終了したところで再びシフトレジスタ1-2にあらかじめ定められた初期値をセットしておく。このように、スクランブル後データ102を受信してデスクランブルする場合に、受信データ102の先頭のビットでシフトレジスタ1-2を、送信機のスクランブルを構成するシフトレジスタ1-1を初期化する値と同一の値でリセットしておくことで、1つの伝送路を複数の端末で共用するマルチアクセス方式を利用して1つの受信機が複数の送信機と接続される1対多接続型通信システムにおいて、複数の送信機がそれぞれスクランブルした各データが時分割多重され伝送されるデータを、1つの受信機が正しくデスクランブルすることができる。

【0031】図4は本発明の実施の形態のATMセルデスクランブル装置6を示し、このATMセルデスクランブル装置6は、複数の送信元から受信するATMセル流からセルヘッダ区間を検出してペイロード区間を検出するセルヘッダ検出回路3-2と、受信ATMセル流のセルヘッダ情報から各送信元を識別する送信元識別回路7と、受信ATMセル流のペイロード部分をデスクランブルするセルデスクランブル回路8から構成される。セルデスクランブル回路8は図3に示すシフトレジスタ1-2と排他的論理演算器21-2から構成される。

【0032】以上のように構成されたATMセルデスクランブル装置6について、図4を用いてその動作を説明する。まず、セルヘッダ検出回路3-2は、複数の送信元がそれぞれスクランブルした各データが時分割多重されたATMセル流105からセルヘッダ区間を検出し、ATMセル流のセルヘッダ（=5バイト）が認識できるヘッダ信号108を送信元識別回路7に出力し、また、セルペイロード（=48バイト）が認識できるペイロード信号106をセルデスクランブル回路8に出力する。

【0033】送信元識別回路7はヘッダ信号108を受けると、セルヘッダ内に格納されているVPI/VCI（仮想パス識別子／仮想チャネル識別子）データより送信元を識別し、1つ前に受信したATMセルの送信元と今回受信した送信元を比較して、同一送信元ならばデスクランブルリセット信号109をインアクティブな状態にし、異なる送信元ならばデスクランブルリセット信号109をアクティブにしてセルデスクランブル回路8に対し出力する。

【0034】セルデスクランブル回路8はデスクランブルリセット信号109がアクティブとなると、シフトレジスタ1-2の値をあらかじめ決められた初期値にリセットし、ペイロード信号106がアクティブとなると、そのリセットしたシフトレジスタ1-2の値と今回受信

するビットとの排他的論理和をとることによりデスクランブルを開始する。したがって、本発明の実施の形態では、受信側に到着するATMセル流の送信元が入れ替わる度に、デスクランブルを構成するシフトレジスタ1-2の値をあらかじめ決められた値にリセットするので、同一送信元から受信した前43ビットを記憶しておく必要が無い。ただし、送信側においてもスクランブルを構成するシフトレジスタ1-1の値を、送信を開始する前に、デスクランブルを構成するシフトレジスタ1-2の値をリセットする値と同一のあらかじめ決められた値にリセットする必要がある。

【0035】図5は、本発明のATMセル送受信システムを適用したSTM-PDS帯域共用システムを示すブロック図である。図5において、局内装置12は、複数のOSU10-1～10-nとNW（ネットワーク）インタフェース13などからなる。ここで、各OSU10はそれぞれの光ファイバ伝送路112を介してスタークプラ9と接続されている。スタークプラ9は複数の加入者インタフェース11-1～11-nとSTM-PDS方式に基づいてそれぞれ光ファイバ伝送路113-1～113-nを介してスター接続され、複数の加入者インタフェース11-1～11-nからのデータを受動的に多重してOSU10に送信している。各加入者インタフェース11-1～11-nは10Base-Tを介して各加入者端末と接続されている。そして、各加入者インタフェース11-1～11-nにはそれぞれ、図2に示したATMセルデスクランブル装置2-1～2-nが設けられている。一方、NWインタフェース13には、図4に示したATMセルデスクランブル装置6が設けられている。また、NWインタフェース13は図示省略した例えればATM中継系装置と接続される。

【0036】以上のように構成されたSTM-PDS帯域共用システムにおけるATMセルデスクランブル及びデスクランブル装置について、図5を用いてその動作を説明する。まず、加入者インタフェース11は、不図示の加入者端末よりデータを受信すると、受信データをATMセル毎に分割し、また、OSU10に対し上り帯域共用フレームの使用を要求する。その後、OSU10から上り帯域共用フレームの使用許可を受けると、データ送信開始タイミングを監視して、そのタイミングになると、ATMセルデスクランブル装置2のシフトレジスタ1-1の値をあらかじめ決められた初期値にリセットし、送信するATMセル流をATMセルデスクランブル装置2へ入力してスクランブルする。

【0037】スクランブルされたATMセル流は、光ファイバ伝送路113、多重化した光ファイバ伝送路112を介し局内装置12へ送信される。局内装置12において、受信したATMセル流はOSU10から装置内伝送路111を介しNWインタフェース13へ転送され、NWインタフェース13は受信したATMセル流をAT

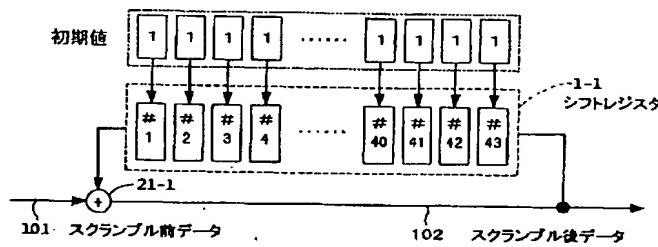
Mセルデスクランブル装置6へ入力する。ATMセルデスクランブル装置6は、入力されたATMセル流の送信元を識別し、1つ前に受信したATMセルの送信元と比較を行った結果、送信元が異なる場合はデスクランブルを構成するシフトレジスタ1-2の値をあらかじめ決められた初期値にリセットした後デスクランブルを行い、スクランブルを解除したATMセル流をATM中継系装置に転送する。

【0038】 STM-PDS帯域共用システムでは、上り帯域共用フレームの使用者が各加入者インターフェース11-1～11-n間で変化する時は、各加入者インターフェース11-1～11-nから送出されるATMセル流のペイロード部分の先頭は、必ずある決まった値を元にスクランブルされ、NWインターフェース13では、受信ATMセル流の送信元が変化する度に、必ずある決まった値を元にデスクランブルされ、NWインターフェース13に設けられたATMセルデスクランブル装置6のシフトレジスタ1-2の初期値と、加入者インターフェース11-1～11-nに設けられたATMセルスクリンブル装置2-1～2-nのシフトレジスタ1-1の初期値が同じであれば、正しくスクランブルが解除できることになる。

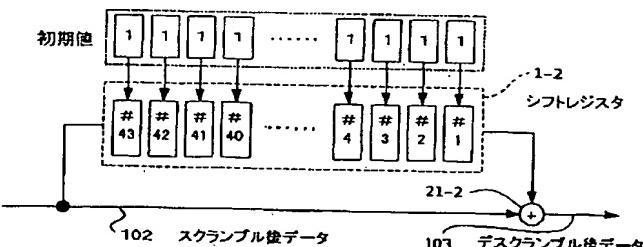
【0039】

【発明の効果】 以上説明したように請求項1、2、3記載の発明によれば、スクランブル前のデータと排他的論理和演算するスクランブル後のデータを保持するレジスタを、デスクランブル回路側のレジスタに設定される初期値と同じ値にリセットするので、デスクランブル回路側で正しくデスクランブルすることができる。請求項4、5、6記載の発明によれば、デスクランブル前のデータと排他的論理和演算するデスクランブル後のデータを保持するレジスタを、スクランブル回路側のレジスタに設定される初期値と同じ値にリセットするので、正し*

【図1】



【図3】



*くデスクランブルすることができる。請求項7記載の発明によれば、送信側と受信側の各レジスタと同じ値にリセットするので、正しくスクランブル、デスクランブルすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態におけるスクランブル回路を示すブロック図

【図2】本発明の実施の形態におけるATMセルスクリンブル回路を示すブロック図

【図3】本発明の実施の形態におけるデスクランブル回路を示すブロック図

【図4】本発明の実施の形態におけるATMセルデスクランブル回路を示すブロック図

【図5】本発明の実施の形態におけるATMセル送受信システムを示すブロック図

【図6】従来のスクランブル回路のブロック図

【図7】従来のデスクランブル回路のブロック図

【符号の説明】

1-1, 1-2 シフトレジスタ

2, 2-1～2-n ATMセルスクリンブル装置

3-1, 3-2 セルヘッダ検出回路

4 セル送信タイミング監視回路

5 セルスクリンブル回路

6 ATMセルデスクランブル装置

7 送信元識別回路

8 セルデスクランブル回路

9 スターカプラ

10-1～10-n OSU

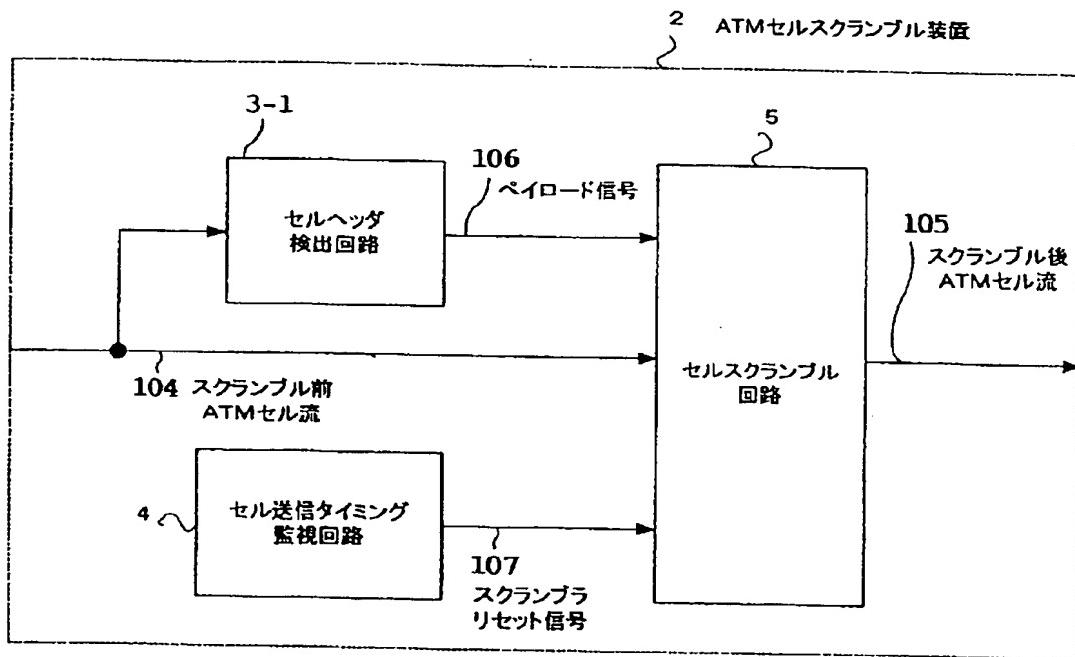
11-1～11-n 加入者インターフェース

12 局内装置

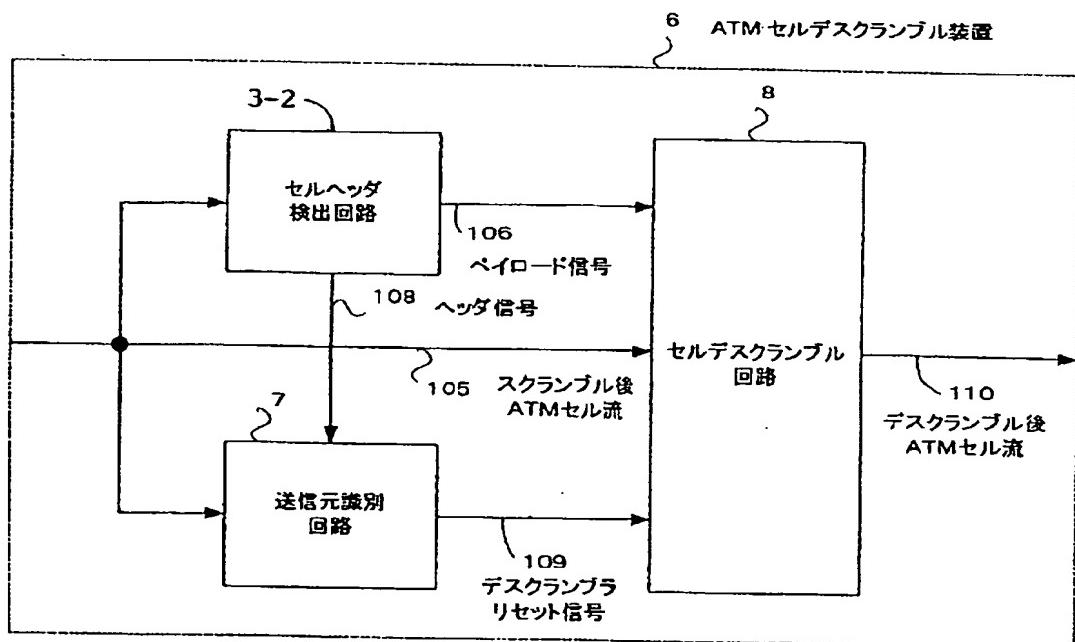
13 NWインターフェース

21-1, 21-2 排他的論理和演算器

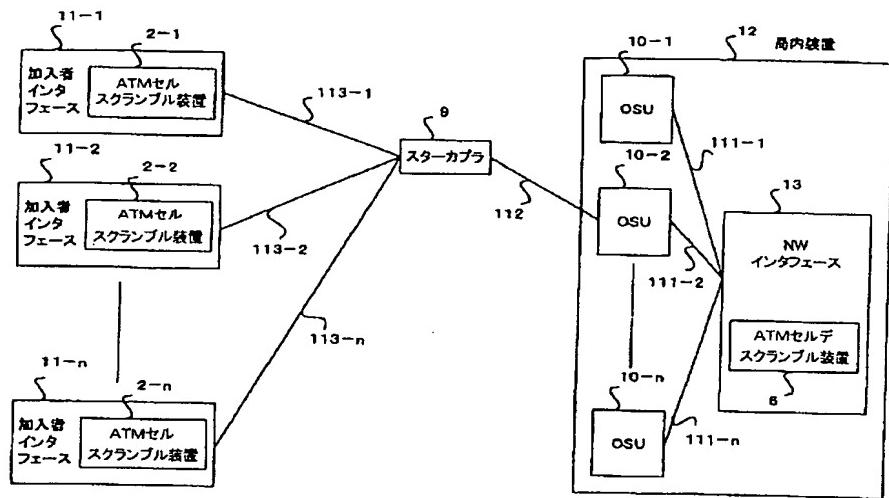
【図2】



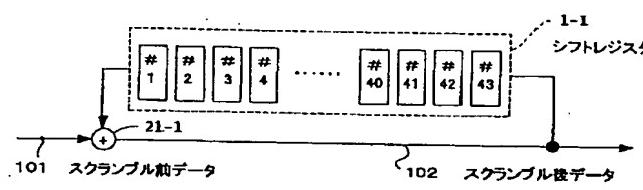
【図4】



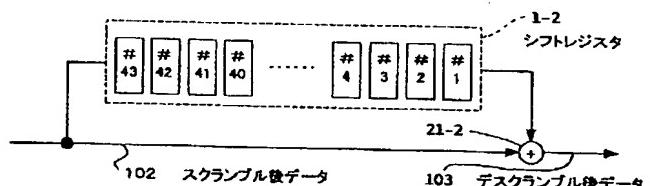
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 三鬼 準基

東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

Fターム(参考) 5K028 AA01 EE05 KK35 SS07 SS17
5K030 HA10 JL03 JL08 KA17 KA22
5K033 AA05 AA07 CB15 DA15 DB02
DB10 DB13 DB22
5K047 AA11 BB14 CC02 MM02 MM03
MM11 MM12 MM27